

**SEMICONDUCTOR ELEMENT AND MANUFACTURE THEREOF****Publication number:** JP3102876 (A)**Publication date:** 1991-04-30**Inventor(s):** OTAKA SHIGEO; IIJIMA TETSUO; ANDO AKIO**Applicant(s):** HITACHI LTD**Classification:**

- international: H01L21/312; H01L21/263; H01L21/336; H01L23/29;  
H01L29/06; H01L29/40; H01L29/78; H01L21/02; H01L23/28;  
H01L29/02; H01L29/40; H01L29/66; (IPC1-7): H01L21/312;  
H01L29/784

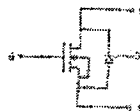
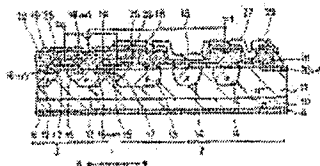
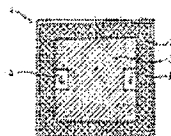
- European: H01L29/40S; H01L21/263B; H01L23/29P; H01L29/06B2B3B

**Application number:** JP19890240167 19890918**Priority number(s):** JP19890240167 19890918**Also published as:**

JP2908818 (B2)  
US5196354 (A)  
KR100187735 (B1)

**Abstract of JP 3102876 (A)**

**PURPOSE:** To reduce the reverse recovery time by providing a polyimide resin film as the passivation film at not a MOSFET division but a peripheral region. **CONSTITUTION:** A semiconductor element 1 contains a field limiting region 2 in the periphery and a MOSFET division 3 in side it. Its rectangular blanks at left-right edge centers are a gate (G) wire bonding pad 4 and a source (S) wire bonding pad 5, respectively. A polyimide resin film 29 is deposited on the field limiting region 2, but not on the MOSFET region 3. Therefore, even a semiconductor element whose passivation film is formed of polyimide resin can shorten the reverse recovery time of a built-in diode 30 constituted by an n-> type epitaxial grown layer 11 and a p-type cell well 12 and attain the recovery of MOSFET thresh old values by irradiation with electron beams and by annealing treatment.



Data supplied from the esp@cenet database — Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-102876

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月30日

H 01 L 29/784  
21/312

B

6940-5F  
8728-5F

H 01 L 29/78

3 2 1 N

審査請求 未請求 請求項の数 5 (全9頁)

⑮ 発明の名称 半導体素子およびその製造方法

⑯ 特 願 平1-240167

⑰ 出 願 平1(1989)9月18日

⑱ 発 明 者 大 高 成 雄 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 発 明 者 飯 島 哲 郎 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑳ 発 明 者 安 藤 明 夫 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 秋田 収喜

明 細 書

1. 発明の名称

半導体素子およびその製造方法

2. 特許請求の範囲

1. 電子線や中性子線照射または重金属の拡散およびこれに続くアニール処理によって内蔵ダイオードの逆回復時間が調整されたMOSFET部を有する半導体素子であって、前記MOSFET部以外の領域には樹脂性保護膜が設けられかつ前記MOSFET部の領域には樹脂性保護膜が設けられていないことを特徴とする半導体素子。

2. 前記MOSFET部以外の領域にはポリイミド樹脂系の保護膜が設けられていることを特徴とする特許請求の範囲第1項記載の半導体素子。

3. 表面がパッシベーション膜で被われてなる半導体素子であって、前記半導体素子の表面の所望各領域は相互に異なる材質からなるパッシベーション膜で被われていることを特徴とする半導体素子。

4. 一部にMOSFET部が設けられた半導体基体に対して電子線や中性子線照射または重金属の拡散およびこれに続くアニール処理を行って内蔵ダイオードの逆回復時間を調整することを特徴とする半導体素子の製造方法であって、前記MOSFET部の領域を除く領域に樹脂性保護膜を形成し、その後電子線や中性子線照射または重金属の拡散を行うことを特徴とする半導体素子の製造方法。

5. 前記電子線照射およびアニール処理は熱を伴う最終処理が行われた後に行われることを特徴とする特許請求の範囲第1項記載の半導体素子の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はMOSFET(Metal Oxide Semiconductor Field Effect Transistor)部を有する半導体素子およびその製造方法、特に高速スイッチング用MOSFETに関し、たとえば、電子線照射による内蔵ダイオードのライフタイムコ

ントロール技術に適用して有効な技術に関する。  
〔従来の技術〕

パワーMOSFETにおいては、内蔵ダイオードの逆回復時間  $t_{rr}$  を短縮するために、重金属を拡散したり、電子線や中性子線を照射してライフタイムコントロールを行なっている。たとえば、特開昭62-219664号公報には、MOS型半導体素子の形成された基体に対し電子線照射ならびにアニール処理を行うことにより内蔵ダイオードの逆回復時間を調整する技術が開示されている。

一方、ポリイミド樹脂はリンシリケートガラス(PSG)膜に比べてピンホールが少なく、かつ厚く形成できるため、耐 $\alpha$ 線あるいは高耐圧の半導体素子の表面保護膜として適していると考えられ、バイポーラトランジスタのみならず、絶縁ゲートトランジスタ、ICなどに広く使用されている。たとえば、特開昭55-156343号公報には、半導体チップの表面をポリイミド樹脂で被い、これによって $\alpha$ 線遮蔽を行なう技術が開示さ

れている。したがって、処理時間を選択すれば、常に最大の回復率を得ることができる。

一方、ポリイミド樹脂は、絶縁破壊電圧(耐圧)、 $\alpha$ 線遮蔽性、厚膜化、バフ特性等に優れることから、パッシベーション膜や層間絶縁膜として使用されている。

そこで、本出願人にとっては、電子線照射によるライフタイムコントロールを行っているパワーMOSFETにおいて、表面保護膜をリンシリケートガラス(PSG)膜からポリイミド樹脂に変更してみた。しかし、ポリイミド樹脂をパッシベーション膜としたMOSFETでは、電子線照射後のアニール処理での閾電圧  $V_{th}$  の回復率が、PSG膜の場合の80~90%に比較して50~68%と低く、かつバラツキも大きくなるということが判明した。

本発明の目的は、ポリイミド樹脂をパッシベーション膜とするMOSFETを有する半導体素子において、内蔵ダイオードの逆回復時間を低減できる半導体素子およびその製造方法を提供するこ

れている。また、工業調査会発行「電子材料」1988年12月号、昭和63年12月1日発行、P41~P45およびP46~P52には、多層配線用新ポリイミド膜および半導体用ポリイミド樹脂について記載されている。

〔発明が解決しようとする課題〕

パワーMOSFETの内蔵ダイオードにおける逆回復時間  $t_{rr}$  の短縮化において、電子線照射によるライフタイムコントロールが行なわれている。すなわち、この技術では、 $n$ 形半導体基体にMOS部を形成した後、電子線照射を行い、ついでアニール処理を行なうことによって、 $n$ 基体と $p$ 層との間の接合ダイオードの逆回復時間を短くし、これによって内蔵ダイオードをフライホールダイオードとして積極的に利用可能としている。

また、前記文献のグラフに示されているように、電子線照射を行ったMOSFETの閾電圧  $V_{th}$  は、電子線を照射しないMOSFETの  $V_{th}$  に対して最大で80%前後回復する。また、この  $V_{th}$  の回復率はアニール処理時間に依存するが、所定の処

とにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なもの概要を簡単に説明すれば、下記のとおりである。

すなわち、本発明の半導体素子はパッシベーション膜をポリイミド樹脂で形成した構造となるとともに、その製造において電子線照射およびアニール処理によって内蔵ダイオードの逆回復時間を短くしている。また、前記パッシベーション膜としてのポリイミド樹脂膜は、アニール処理時MOSFETの閾電圧値の回復を阻害するため、MOSFET部の領域には設けずにMOSFET部を外れた半導体素子の周縁領域に設けられている。また、MOSFET部の領域はPSG膜でパッシベーション膜を構成している。したがって、半導体素子の表面を領域的に見ると、それぞれ所望の

領域に所望の材質からなるパッシベーション膜が形成される格好となる。

#### (作用)

上記した手段によれば、本発明のMOSFETを有する半導体素子は、半導体素子の表面の周縁部分にポリイミド樹脂が設けられていることから、レジンでモールドされた際、樹脂同士であることから密着性が良好となり耐湿性が向上する。また、前記ポリイミド樹脂はMOSFET部の領域には設けられていないことから、半導体素子の製造時に行われる電子線照射およびアニール処理による内蔵ダイオードの逆回復時間の低減処理において、アニール処理によるMOSFETの閾電圧値の回復率が高くなり、内蔵ダイオードをフライホイールダイオードとして使用できるようになる。

#### (実施例)

以下図面を参照して本発明の一実施例について説明する。

第1図は本発明の一実施例によるパワーMOSFETの模式的平面図、第2図は同じくパワーM

OSFETの要部を示す断面図、第3図は同じくパワーMOSFETの等価回路図、第4図は本発明の一実施例によるパワーMOSFETの製造方法を示すフローチャート、第5図～第13図は同じくパワーMOSFETの製造各工程における断面図であって、第5図はウエハの一部を示す断面図、第6図はpウェルが形成されたウエハの断面図、第7図はゲート酸化膜が形成されたウエハの断面図、第8図はp領域が形成されたウエハの断面図、第9図はソース領域が形成されたウエハの断面図、第10図は層間絶縁膜が形成されたウエハの断面図、第11図はソース電極が形成されたウエハの断面図、第12図はPSG膜が形成されたウエハの断面図、第13図はポリイミド樹脂膜が形成されたウエハの断面図、第14図は本発明による半導体装置の外観を示す斜視図である。

本発明のパワーMOSFETを構成する半導体素子(チップ)1は、第1図に示されるように外観的には一定の厚さを有する矩形板構造となっている。半導体素子1は、平面的に見てクロスハッ

ピング領域2である。

このような縦型パワーMOSFETは、第2図に示されるように、厚さ400 $\mu$ m程度のn<sup>+</sup>形シリコン(Si)の半導体基体(半導体基板)10の主面に形成されている。半導体基体10の主面にはn<sup>-</sup>形エピタキシャル成長層11が設けられている。このn<sup>-</sup>形エピタキシャル成長層11はその厚さが耐圧によって選択されるが、10～50 $\mu$ m程度の厚さとなっている。前記n<sup>-</sup>形エピタキシャル成長層11の表層部には同時処理によって8～10 $\mu$ m程度の深さのp形のウェルが設けられている。ウェルはFETセルを構成するための複数のセル用ウェル12と、チップの周囲に配設されかつ前記セル用ウェル12と等電位となるソース接合領域13、ソース接合領域13の外側に2段に亘って設けられたフィールドリミッティングリング(FLR)14とからなっている。

また、前記セル用ウェル12の表層部にはこのセル用ウェル12の端から張り出すようにp形領域15が設けられている。このp形領域15は3

半導体素子1は、第2図に示されるような断面構造となっている。同図は中央部に縦横に複数のnチャンネル縦型MOSFET(絶縁ゲートトランジスタ)を有する半導体素子1の一部を示す断面図である。二点鎖線から左側の領域Aが半導体素子1の中央部分であってMOSFET部3が形成されている領域であり、右側の領域Bが半導体素子1の周辺部分であってフィールドリミッティ

～4  $\mu\text{m}$ 程度の深さとなっている。前記セル用ウエル12の表層部にはリング状に深さ1  $\mu\text{m}$ 程度の $n^+$ 形からなるソース領域16が設けられている。そして、前記ソース領域16の端の $p$ 形領域15の表層部がMOSFETのチャネル17を構成するようになる。また、前記半導体基体10上には、厚さが1～2  $\mu\text{m}$ 程度の絶縁膜とリンシリケート膜(PSG膜)からなる厚いフィールド絶縁膜(フィールド酸化膜)18と、これに連なる厚さが1000Å程度の $\text{SiO}_2$ 膜からなる薄いゲート絶縁膜(ゲート酸化膜)19が設けられている。前記フィールド酸化膜18はソース接合領域13およびフィールドリミッティングリング14上に延在する。また、最外周のセル用ウエル12部分におけるゲート酸化膜19はソース接合領域13上にまで及んでいる。また、フィールドリミッティング領域2の最外周部分には、1  $\mu\text{m}$ 程度の深さの $n^+$ 形のアニュラリング20が設けられている。このアニュラリング20は前記ソース領域16の形成と同時に形成される。

さらに、半導体素子1の裏面には厚さ1  $\mu\text{m}$ 程度の銀からなるドレイン電極6が設けられている。この半導体素子1は、第3図に示されるような等価回路を構成する。

このような半導体素子1は、 $n^-$ 形エピタキシャル成長層11と $p$ 形のセル用ウエル12との間で、第3図に示されるように内蔵ダイオード30を構成するが、この内蔵ダイオード30の逆回復時間 $t_{rr}$ を短縮するために、電子線照射およびアニール処理が施されている。この電子線照射およびアニール処理は、その製造において最終熱処理が終了した時点で行われる。また、この半導体素子1は、パッシベーション膜をポリイミド樹脂で形成し、レジンでモールドされた際、レジンとの密着性を高め、これによって耐湿性を向上させるようになっている。このポリイミド樹脂の皮膜は、前記電子線照射後のアニール処理時、MOSFETの閾電圧 $V_{th}$ の低下を回復させる率が低いため、この実施例では、前記ポリイミド樹脂膜29はフィールドリミッティング領域2にのみ設け、MO

一方、前記ゲート酸化膜19およびこれに連なる一部のフィールド酸化膜18上には、厚さ4500Åの多結晶シリコン層25が設けられている。この多結晶シリコン層25はゲート電極となる。また、前記多結晶シリコン層25は層間絶縁膜26で被われている。この層間絶縁膜26はソース領域16の内側表面部分をも被っている。

また、 $n^-$ 形エピタキシャル成長層11の表面には厚さ3～4  $\mu\text{m}$ のAlで構成されるソース電極27が設けられている。このソース電極27は前記ソース領域16およびセル用ウエル12ならびにソース接合領域13と電気的に導通状態となっている。

他方、半導体素子1の主面全域には厚さ1  $\mu\text{m}$ 程度のリンシリケートガラス(PSG)膜28が形成されている。また、前記MOSFET部3を除くフィールドリミッティング領域2の表面には、3～4  $\mu\text{m}$ の厚さからなるポリイミド樹脂膜29が設けられている。前記PSG膜28およびポリイミド樹脂膜29はパッシベーション膜となる。

SFET部3には設けないようになっている。したがって、パッシベーション膜をポリイミド樹脂で構成した半導体素子であっても、電子線照射およびアニール処理によって内蔵ダイオードの逆回復時間を短くでき、かつMOSFETの閾電圧値の回復を得ることができる。

つぎに、半導体素子1の製造方法について第4図～第13図を参照しながら説明する。半導体素子1は第4図のフローチャートで示されるように、ウエハ用意、 $p$ ウエル形成、ゲート酸化膜形成、ゲート電極形成、 $p$ 領域形成、ソース領域形成、層間絶縁膜形成、ソース電極形成、PSG膜形成、ポリイミド膜形成、バックエッチ、ドレイン電極形成、電子線照射、アニール、チップ化の各工程を経て製造される。

最初に第5図に示されるように、主面に $n^-$ 形エピタキシャル成長層11を有する厚さ約400  $\mu\text{m}$ となる $n^+$ 形半導体基体(半導体基板)10が用意される。この半導体基板10は薄くかつ径が大きいことから以後ウエハ35と称する。

つぎに、第6図に示されるように、ウエハ35の主面は熱酸化によりSiO<sub>2</sub>膜36が部分的に形成されかつボロンのイオン注入およびアニール処理によって深さ8~10μmのウエルが形成される。このウエルはセル用ウエル12、ソース接合領域13、フィールドリミットングリング14と3種類形成される。前記MOSFET部3においてはセル用ウエル12が設けられる。このセル用ウエル12は、MOSFET部3において縦横にスポット的に多数整列配置形成される。セル用ウエル12のピッチ30~40μm程度となる。フィールドリミットング領域2においては、その内側にソース接合領域13が設けられるとともに、外側には2段に亘ってフィールドリミットングリング14が設けられる。

つぎに、前記SiO<sub>2</sub>膜36は部分的にエッチング除去される。その後、第7図に示されるように、ウエハ35の主面には熱酸化によって酸化膜38が形成される。この酸化膜38は部分的にゲート酸化膜(ゲート絶縁膜)19となる。この酸

化膜38は1000Åの厚さとなっている。また、前記酸化膜38および酸化膜38からSiO<sub>2</sub>膜36に亘って部分的に多結晶シリコン層25が形成される。この多結晶シリコン層25は部分的にゲート電極となる。

つぎに、前記多結晶シリコン層25およびSiO<sub>2</sub>膜36ならびに図示しないホトレジスト膜をマスクとしてボロンがn<sup>-</sup>形エピタキシャル成長層11の表面に打ち込まれかつアニール処理される。この結果、前記セル用ウエル12の周縁には深さ3~4μmのp形領域15が形成される。

つぎに、第9図に示されるように、前記酸化膜38のソース領域形成領域およびフィールドリミットング領域2の最外周のアニュラリング形成領域にそれぞれ対応する領域が除去される。ついで、リングが打ち込まれかつアニール処理される。この結果、セル用ウエル12の表層部にn<sup>+</sup>形のソース領域16が形成されるとともにフィールドリミットング領域2にはアニュラリング20が形成される。これらn<sup>+</sup>形領域は1μm前後の深

さとなる。ソース領域16の外側のp形領域15部分はチャンネル17を構成する。前記ソース領域16およびp形領域15は酸化膜38をそれぞれマスクとして形成されるため自己整合(2重拡散自己整合)となり、正確な寸法のチャンネル17が形成される。

つぎに、第10図に示されるように、不要な酸化膜38は除去されるとともに新たにウエハ35の主面には部分的にPSG膜からなる層間絶縁膜26が形成される。この結果、前記ゲート酸化膜19は層間絶縁膜26によって被われる。この状態では内周部のソース領域16を含むセル用ウエル12、ソース接合領域13の一部、一部のフィールドリミットングリング14の一部、フィールドリミットング領域2の最外周部が露出する。

つぎに、第11図に示されるように、それぞれ前記露出部に接触するようなソース電極27が設けられる。このソース電極27は厚さ3~4μmのAl膜からなり、蒸着および常用のエッチングによって第11図のようにパターンニングされる。

このソース電極27は前記ソース領域16およびp形のセル用ウエル12に電氣的に接触する。

つぎに、第12図に示されるように、ウエハ35の主面には厚さ1μm程度のPSG膜28が形成される。このPSG膜28はMOSFET部3は勿論のこととしてフィールドリミットング領域2をも被う。

つぎに、第13図に示されるように、前記フィールドリミットング領域2上には厚さ3~4μmのポリイミド樹脂膜29が形成される。

つぎに、ウエハ35はバックエッチされる。そしてバックエッチされたウエハ35の裏面には、第2図に示されるように1μm程度の厚さの銀からなるドレイン電極6が形成される。

つぎに、このウエハ35はその全域に電子線が照射されかつアニール処理される。電子線の照射条件は、たとえば、1~2MeVのエネルギーで $1 \times 10^{13} \text{ cm}^{-2}$ の粒子数を照射する。また、アニールは300~400℃で60分程度行われる。電子線の照射によって基体内にライフタイムキラ

一が形成され、内蔵ダイオードの逆回復時間  $t_{rr}$  が短縮される。たとえば、内蔵ダイオードの逆回復時間  $t_{rr}$  は耐圧500Vクラスの場合、通常の500ns程度から100~110nsに短縮でき、内蔵ダイオードをフライホイールダイオードとして使用できるようになる。

また、前記電子線照射によってMOSFETの閾電圧  $V_{th}$  変化するが、前記アニール処理によって電子線照射を行わない場合の閾電圧  $V_{th}$  のおよそ80~90%まで回復する。また、この回復は、MOSFET部をポリイミド樹脂で被っている場合には、閾電圧  $V_{th}$  の回復率は50~68%と低いが、MOSFET部3をPSG膜28で被う本実施例の場合は、閾電圧  $V_{th}$  の回復率は80%~90と高くなる。

つぎに、前記ウエハ35は縦横に分離されて第1図に示されるような半導体素子1が多数製造される。

なお、内蔵ダイオードの逆回復時間  $t_{rr}$  を短縮させるための電子線照射およびアニール処理は、

除去されて、第14図に示されるような半導体装置40となる。このモールドにおいて、前記半導体素子1の周縁部分、すなわち、フィールドリミットング領域2はレジソと密着性が良い樹脂(ポリイミド樹脂)で被われていることから、レジソと半導体素子1との接着性が良好となり耐湿性が向上する。

このような実施例によれば、つぎのような効果が得られる。

(1) 本発明の半導体装置にあっては、半導体素子のフィールドリミットング領域にパッケージを構成するレジソとの密着性が良好なポリイミド樹脂が設けられていることから、耐湿性が向上するという効果が得られる。

(2) 本発明の半導体素子は、パッシベーション膜としてポリイミド樹脂を使用しているが、内蔵ダイオードの逆回復時間  $t_{rr}$  をコントロールするための電子線照射およびアニール処理においてMOSFETの閾電圧  $V_{th}$  の回復を阻害するポリイミド樹脂はMOSFET部には設けられず、閾電

処理以後に再度熱が加わると変化してしまうことから、MOSFET部が形成され、パッシベーション膜や各電極が形成され、ウエハ35が分割される前の最終工程で行われる。すなわち、電子線照射およびアニール処理は熱を伴う最終処理が行われた後に行う。

このような半導体素子1は、第14図に示されるようなパッケージ39に組み込まれ半導体装置40となる。この半導体装置40の組立にあっては、特に図示はしないが、リードフレームが用いられ、このリードフレームのヘッダ41上に半導体素子1が固定される。また、固定された半導体素子1の電極、換言するならば、ゲート用ワイヤボンディングパッド4とソース用ワイヤボンディングパッド5とこれに対応するリードフレームのリード42は図示しない導電性のワイヤで接続され、かつヘッダ41の一部、半導体素子1、リード42の内端、ワイヤ等は絶縁性の樹脂、たとえばエポキシ樹脂で封止(モールド)される。また、モールド後は、不要なリードフレーム部分は切断

圧  $V_{th}$  の回復性の良好なPSG膜をMOSFET部のパッシベーション膜として使用した構造となっていることから、内蔵ダイオードの逆回復時間  $t_{rr}$  の短縮およびMOSFETの閾電圧  $V_{th}$  の順調な回復を得ることができるという効果が得られる。

(3) 上記(2)により、本発明の半導体素子は内蔵ダイオードをフライホイールダイオードとして使用できるようになるという効果が得られる。

(4) 上記(1)~(3)により、本発明によれば高速スイッチング用MOSFETを提供できるという相乗効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、第15図に示されるように、ポリイミド樹脂膜29からなるパッシベーション膜を、MOSFET部3には設けず、ソース電極27を露出させ、フィールドリミットング領域2のみ

に設ける構造としても前記実施例同様な効果が得られる。

また、第16図に示されるように、フィールドリミッティング領域2にはバッシベーション膜としてポリイミド樹脂膜29を、MOSFET部3にはPSG膜28を設け、電子線照射によるライフタイムコントロールと、アニール処理によるMOSFETの閾電圧 $V_{th}$ の回復の効果を、それぞれバッシベーション膜の違いで得るようにしても良い。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である縦型MOSFETの製造技術に適用した場合について説明したが、それに限定されるものではない。

本発明は少なくとも内蔵ダイオードを有する半導体素子の製造には適用できる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

第6図は同じくpウエルが形成されたウエハの断面図、

第7図は同じくゲート酸化膜が形成されたウエハの断面図、

第8図は同じくp領域が形成されたウエハの断面図、

第9図は同じくソース領域が形成されたウエハの断面図、

第10図は同じく層間絶縁膜が形成されたウエハの断面図、

第11図は同じくソース電極が形成されたウエハの断面図、

第12図は同じくPSG膜が形成されたウエハの断面図、

第13図は同じくポリイミド樹脂膜が形成されたウエハの断面図、

第14図は本発明による半導体装置の外観を示す斜視図、

第15図は本発明の他の実施例によるパワーMOSFETの要部を示す断面図、

本発明のMOSFETを有する半導体素子は、電子線照射およびアニール処理によって内蔵ダイオードの逆回復時間の低減処理が行なわれるが、アニール処理によるMOSFETの閾電圧値の回復率を低くするバッシベーション膜としてのポリイミド樹脂はMOSFET部の領域には設けず、半導体素子の周縁部分にのみ設けられている。したがって、アニール処理によるMOSFETの閾電圧値の回復率が高くなる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例によるパワーMOSFETの模式的平面図、

第2図は同じくパワーMOSFETの要部を示す断面図、

第3図は同じくパワーMOSFETの等価回路図、

第4図は本発明の一実施例によるパワーMOSFETの製造方法を示すフローチャート、

第5図は同じくパワーMOSFETの製造において使用するウエハの一部の断面図、

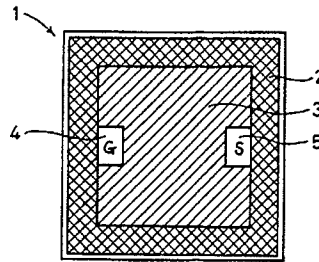
第16図は本発明の他の実施例によるパワーMOSFETの要部を示す断面図である。

1…半導体素子(チップ)、2…フィールドリミッティング領域、3…MOSFET部、4…ゲート用ワイヤボンディングパッド、5…ソース用ワイヤボンディングパッド、6…ドレイン電極、10…半導体基体(半導体基板)、11… $n^-$ 形エピタキシャル成長層、12…セル用ウエル、13…ソース接合領域、14…フィールドリミッティングリング、15…p形領域、16…ソース領域、17…チャネル、18…フィールド酸化膜、19…ゲート酸化膜、20…アニュエラリング、25…多結晶シリコン層、26…層間絶縁膜、27…ソース電極、28…PSG膜、29…ポリイミド樹脂膜、30…内蔵ダイオード、36… $SiO_2$ 膜、38…酸化膜、39…パッケージ、40…半導体装置、41…ヘッダ、42…リード。

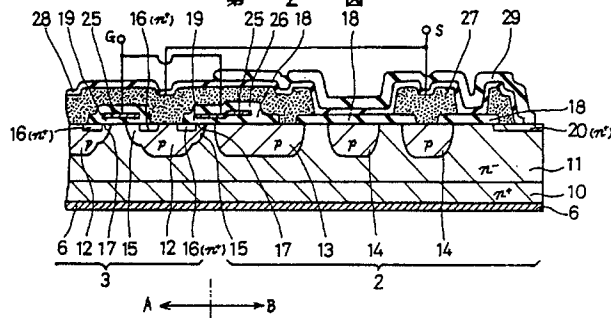
代理人 弁理士 秋田収喜



第 1 図

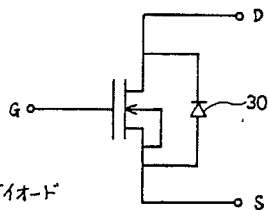


第 2 図



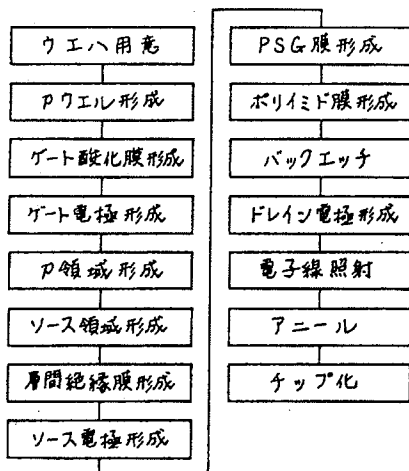
- 1-半導体素子      2-フィールドリミテング領域  
3-MOSFET部      28-PSG膜  
29-ポリイミド樹脂膜

第 3 図

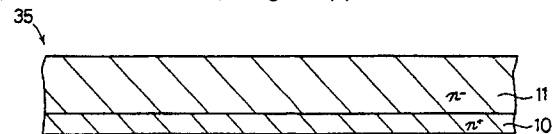


30-内蔵ダイオード

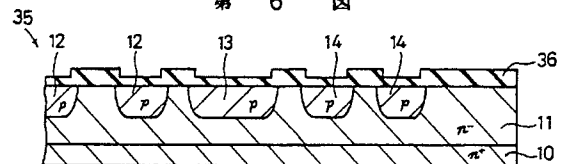
第 4 図



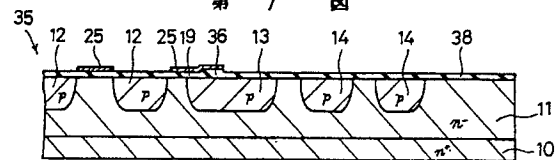
第 5 図



第 6 図

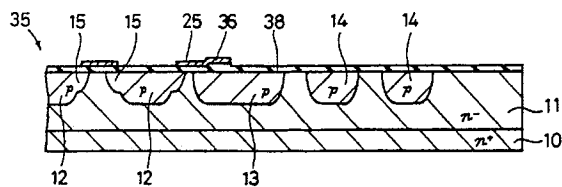


第 7 図

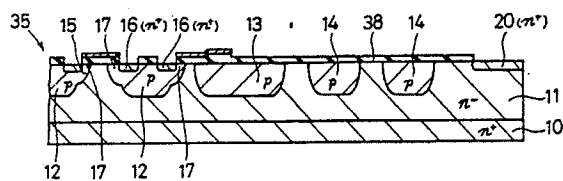


25-多結晶シリコン層

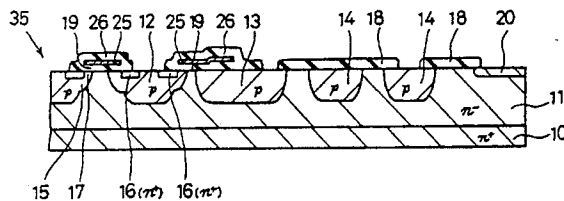
第 8 図



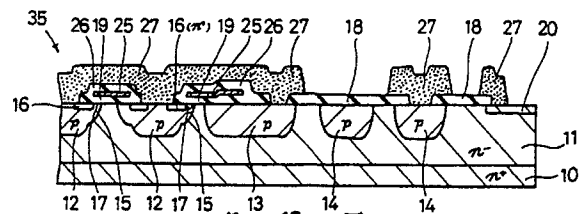
第 9 図



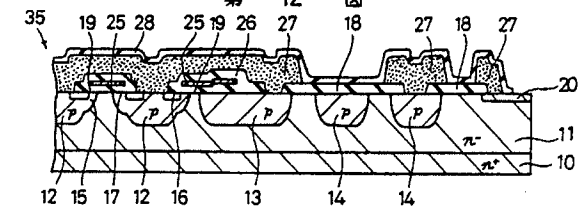
第 10 図



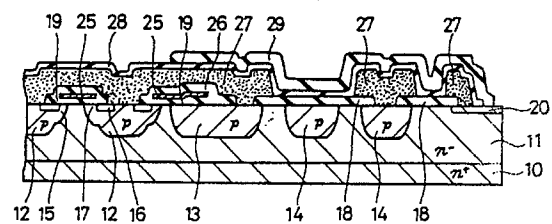
第 11 図



第 12 図



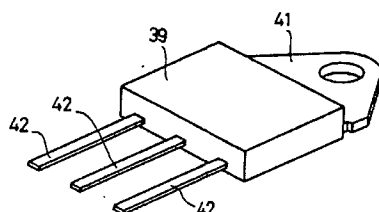
第 13 図



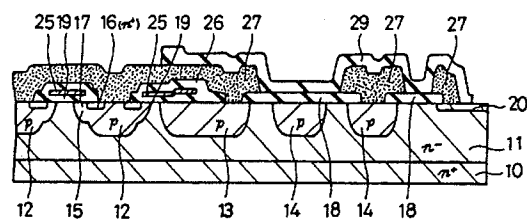
28-PSG膜

29-ポリミド樹脂膜

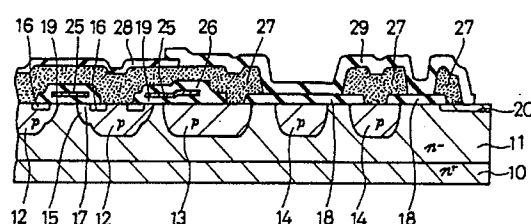
第 14 図



第 15 図



第 16 図



28-PSG膜

29-ポリミド樹脂膜